

PROCESSOR

Publication number: JP2211561 (A)

Publication date: 1990-08-22

Inventor(s): OSHIMA TOSHIHARU

Applicant(s): FUJITSU LTD

Classification:






- international: G06F9/38; G06F12/08; G06F12/14; G06F9/38; G06F12/08; G06F12/14; (IPC1-7): G06F12/14

- European: G06F12/08B2; G06F12/14D3

Application number: JP19890031914 19890210

Priority number(s): JP19890031914 19890210

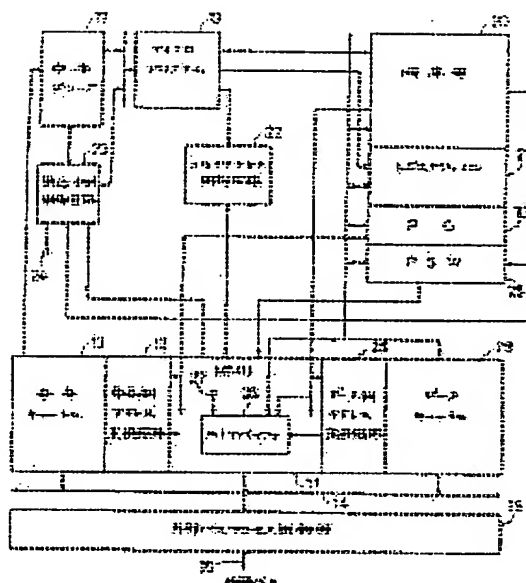
Also published as:

 JP2562838 (B2)
 EP0382529 (A2)
 EP0382529 (A3)
 EP0382529 (B1)
 KR930002324 (B1)

Abstract of JP 2211561 (A)

PURPOSE: To execute an interruption exceptional processing according to priority and to increase a processing speed by providing a ring information storing area which stores ring information at the time of access, and a save area where the information is reserved when write is re-executed.

CONSTITUTION: The ring information storing area is provided in a store buffer 26, and the ring information of a program state word storing means (PSW) 25 at the time of designating and executing the memory write is stored by an instruction. The ring information area is provided in the save area of an interruption exceptional control circuit 23, when an exception is generated at the time of writing the memory, the ring information stored into the store buffer 26 is reserved, and restored to the store buffer after the execution of the exceptional processing. Thus, when the exceptional processing is executed, the ring information of the PSW 25 can be freely altered, the interruption exceptional processing is freely executed according to the priority without waiting for the write completion using the store buffer 26, and the processing speed can be increased.



Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報(A)

平2-211561

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月22日

G 06 F 12/14

3 1 0 L

7737-5B

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 プロセッサ

⑮ 特 願 平1-31914

⑯ 出 願 平1(1989)2月10日

⑰ 発 明 者 大 島 俊 春 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 伊東 忠彦 外2名

明 細 書

1. 発明の名称

プロセッサ

2. 特許請求の範囲

メモリ書き込みを後続の命令処理と独立して行なうためメモリのアドレス及び書き込みデータを格納するストアバッファ(26)と、

リング保護用のリング情報を含む実行中のプログラムの状態を示すプログラム状態語を記憶したプログラム状態語記憶手段(25)と、

割込又は例外の発生によりプログラムを中断し割込・例外処理を行ない、中断したプログラムに復帰するための情報をメモリの退避領域に格納する割込・例外制御手段(23)とを有するプロセッサにおいて、

該ストアバッファ(26)に、命令でメモリ書き込みを指定した実行時の該プログラム状態語記憶手段(25)のリング情報を格納するリング情報

格納領域(40)を設け、

該退避領域に、メモリ書き込みで例外が発生したとき該ストアバッファ(26)のリング情報格納領域(40)のリング情報を退避するリング情報退避領域(60)を設けたことを特徴とするプロセッサ。

3. 発明の詳細な説明

(概要)

ストアバッファを用いてメモリ書き込みを他の命令処理と独立して行なうプロセッサに関し、

処理速度が向上し、割込・例外処理をその優先順位に従って制御なく行ないえることを目的とし、

メモリ書き込みを後続の命令処理と独立して行なうためメモリのアドレス及び書き込みデータを格納するストアバッファと、リング保護用のリング情報を含む実行中のプログラムの状態を示すプログラム状態語を記憶したプログラム状態語記憶手段と、割込又は例外の発生によりプログラムを中断

し割込・例外処理を行ない、中断したプログラムに復帰するための情報をメモリの退避領域に格納する割込・例外制御手段とを有するプロセッサにおいて、該ストアバッファに、命令でメモリ書込みを指定した時の該プログラム状態語記憶手段のリング情報を格納するリング情報格納領域を設け、該退避領域に、メモリ書込みで例外が発生したとき該ストアバッファのリング情報格納領域のリング情報を退避するリング情報退避領域を設け構成する。

(産業上の利用分野)

本発明はプロセッサに関し、ストアバッファを用いてメモリ書込みを他の命令処理と独立して行なうプロセッサに関する。

近年、マイクロプロセッサの高速化及び高機能化が進み、演算処理速度に比して外部のメモリをアクセスするに要する時間が長いため、内蔵キャッシュを持ったものや、外部のメモリへの書込みを命令処理と独立に行なうストアバッファを備え

(従来の技術)

ストアバッファを用いてメモリ書込みの処理を命令処理と切放した場合、エラー発生時にメモリ書込みの命令を最初からやり直すことは不可能である。そこでストアバッファでの処理中にエラーを検出した時は、メモリ書込みの命令の命令アドレス、オペランドアドレス、オペランドデータ、オペランドアクセスの制御情報等をPSWや復帰先命令アドレスと同時に退避し、OSがエラー原因を取り除いた後上記退避した各種情報に従ってストアバッファよりメモリへの書込みのみを行なう。上記オペランドアクセスの制御情報にはオペランドサイズや仮想記憶をサポートする命令でのアドレス変換有無等が含まれている。

ところで、メモリへの書込みのみを再実行するときリング保護を行なうためのPSWのリング情報は退避されたPSWの情報を利用している。退避されたPSWは復帰先のPSWであるから、ストアバッファでエラーを検出した時に処理された命令終了時点の値であり、メモリ書込みの命令

のようになっている。

また、オペレーティングシステム(OS)等の特権レベルと非特権レベル、又はマルチタスク処理における各タスクでメモリの内容が誤ってアクセスされないよう、メモリの領域毎にリング情報を持たせ、プログラム状態語(PSW)に表示された現在実行中のプログラムのリング情報と上記メモリの各領域のリング情報との比較によりメモリの保護を行なっている。

ストアバッファを持つプロセッサでは、メモリ書込みの命令でストアバッファにアドレス及びデータを書込むと、それ以降の命令に進み、ストアバッファではバスサイクルが空いた時、外部のメモリへの書込みを行なう。この書込みがエラーとなったとき、その例外処理要求は後続の命令に非同期に発生する。上記メモリへの書込みの例外処理要求の発生の際に後続の命令でも別の例外処理要求が発生したとき、両者の優先順序を考える必要がある。

(ストアバッファにデータをセットした命令)の実行からエラーに処理中断されるまでの間PSWのリング情報を変化させてはいけないことになる。もしリング情報を変化させるとメモリ書込みの再実行の際にメモリ書込みは許可されないメモリの領域を誤ってアクセスしメモリ内容を破壊する恐れがある。

このために例外処理の優先順位に制限を付けなければならない。つまりストアバッファでのエラーを除く別の例外処理を先に受け付けると、上記別の例外処理を実行するOSに分岐するためPSWをOS用の情報に書換えてしまい、その後ストアバッファで発生した例外処理で退避されるPSWは上記OS用の情報となっておりメモリ書込みを実行したときのリング情報は残っていない。

(発明が解決しようとする課題)

例外処理の優先順位に制限を付けることはPSWのリング情報を変更する命令が出現したときストアバッファが空くのを待たねばならないため処

処理速度が低下し、他の優先されるべき例外処理が出現したときこれを優先できないという矛盾が生じるという問題がある。

例えば、命令コードの基本長が2バイトで命令アドレスは必ず偶数アドレスを指さなければならぬものとする。このプロセッサで分岐命令で指定された分岐アドレスが奇数の場合の例外処理で退避される情報として、分岐命令アドレス、不当な分岐先アドレスが必要である。上記の例外処理と同時に発生したストアバッファでのエラーに対する例外処理を先に受け付けるとすれば、不当命令アドレスはストアバッファの例外処理のための退避情報になってしまう。

本発明は上記の点に鑑みなされたもので、処理速度が向上し、割込・例外処理をその優先順位に従って制限なく行なえるプロセッサを提供することを目的とする。

(課題を解決するための手段)

本発明のプロセッサは、

(作用)

本発明においてはストアバッファ(26)にリング情報格納領域(40)を設け、オペランドアドレス及び書込みデータのセットと共にプログラム状態語(25)のリング情報が上記リング情報格納領域(40)にセットされるため、ストアバッファ(26)を用いた書込みの実行中であっても後続命令の処理又は後続命令の処理に起因する割込・例外処理を行なうために自由にプログラム状態語(25)のリング情報を変更でき、割込・例外処理の優先順位に関する制限がなくなり、ストアバッファを用いた書込みの終了を待つことなく後続命令の処理を行なうことができ処理速度が向上する。

(実施例)

第1図は本発明プロセッサであるマイクロプロセッサの一実施例のブロック図を示す。

同図中、プログラムカウンタ(PC)10は現在実行中のプログラムのアドレスを格納しており、

メモリ書込みを後続の命令処理と独立して行なうためメモリのアドレス及び書込みデータを格納するストアバッファ(26)と、

リング保護用のリング情報を含む実行中のプログラムの状態を示すプログラム状態語を記憶したプログラム状態語記憶手段(25)と、

割込又は例外の発生によりプログラムを中断し割込・例外処理を行ない、中断したプログラムに復帰するための情報をメモリの退避領域に格納する割込・例外制御手段(23)とを有するプロセッサにおいて、

ストアバッファ(26)に、命令でメモリ書込みを指定した時の実行時のプログラム状態語記憶手段(25)のリング情報を格納するリング情報格納領域(40)を設け、

退避領域に、メモリ書込みで例外が発生したときストアバッファ(26)のリング情報格納領域(40)のリング情報を退避するリング情報退避領域(60)を設ける。

PC10はこれとは別に命令プリフェッチ用のカウンタを内蔵しており、そのプリフェッチのプログラムアドレスがメモリ管理装置(MMU)11及び命令側アドレス変換回路12に供給される。命令側アドレス変換回路12で得られた物理アドレスが命令キャッシュ13内に存在しなければ、MMU11は内部バス14、外部バスアクセス制御部15を介して外部バス16に接続されたメモリ(図示せず)をアクセスし、得られた命令を命令キャッシュ13に取込む。命令キャッシュ13より読出された命令は命令デコーダ17でデコードされ、マイクロアドレスが得られる。

マイクロプログラム19はマイクロアドレスの指定により演算部20、レジスタファイル21の動作を制御する。またマイクロプログラム19は例外処理時のプロセッサの内部状態のメモリへの退避処理及びメモリからの新PSW、新PCの読出処理を制御するマイクロ処理ルーチンを有している。メモリアクセス制御回路22はアクセス要求の発生及びアクセスの方向とサイズ等の制御を

行なう。この例外処理のマイクロ処理ルーチンは割込・例外制御回路23からのマイクロアドレスによって指定される。割込・例外制御回路23は端子24よりの外部割込要求、及び命令デコーダ17よりの未定義命令検出等の例外処理要求、及びMMU11よりのアドレス変換例外やバスアクセス例外等の例外処理要求、及び演算部20よりのゼロ除算例外等の例外処理要求が供給され、これらの割込及び例外処理要求に対して優先度の判定及びマイクロアドレスの発生を行なっている。

PSW25は現在実行中のプログラムに関するもので、第2図に示す構成であり、メモリアクセスの権利等を示すリング情報(RING)30、仮想記憶をサポートするプロセッサでのアドレス変換制御モード(AT: Address Translation)31、割込許可レベルを表示する割込マスク(IMASK: Interruption Mask)32、演算の結果から生成される状態フラグ(CONDITION FLAGS)33等の情報が含まれている。上記リング情報30はMMU11に供給される。

ックにより状態フラグが生成された後ストアバッファ26のデータ部45にセットされる。このとき第3図のリング情報40にはPSW25より現在のリング情報がセットされ、その他のコード41、42及びオペランドアドレス43が夫々セットされる。ムーブ命令は非特権命令であり、そのリング情報の値は例えば「3」である。

ストアバッファ26に上記の各情報がセットされるとMMU26は書込み処理シーケンスを起動し、アドレス変換モードであればデータ側アドレス変換回路28で論理アドレス@MEM1に対応する物理アドレスを求め、その物理アドレスによって書込みバスサイクルを起動する。

上記ストアバッファ26のセットによって命令完了とみなしPC10は次の命令のアドレスを指し、その命令のマイクロプログラムが実行される。

アドレス#Bの分岐命令(BRA)の実行により分岐先アドレス@ADRS2が演算部20で演算される。この分岐先アドレス@ADRS2が偶数でなければならないのに反して奇数であったと

MMU11内のストアバッファ26はメモリアクセス制御回路22およびPSW25から端子27を介してアクセス情報を供給され、またオペランドアドレスバスにより演算部20と接続され、さらにデータバスにより演算部20、レジスタファイル21、PC10、PSW25、データキャッシュ25と接続されている。複数語構成のストアバッファ26の各語は第3図に示す如く、アクセス時のリング情報(ACCRING)40、アドレス変換を行なわないことを示すコード(PA: Physical Address)41、リード・ライトの方向を示すコード(RW: Read / Write)42、オペランドサイズ(SIZE)42を有すると共にアドレス変換前の論理アドレス及び変換後の物理アドレス夫々をオペランドアドレス43、44に保持し、また書込みデータ45を保持する。

ここで、第4図に示す如くアドレス#Aのムーブ命令(MOV)でレジスタファイル21内のレジスタR0のデータを外部のメモリに書込む場合、レジスタR0のデータは演算部20のデータチェ

キ等、演算部20は不当アドレス分岐の例外処理要求を発生して割込・例外制御回路23に供給する。この例外処理要求が受け付けられるとマイクロプログラム19の例外受付処理によって分岐命令BRAの実行直後のPSW、例外を発生した命令アドレス(この場合#B)等が外部のメモリ上の退避領域に格納され、例外処理プログラムのPSW、PC等が外部のメモリの所定領域から読出されてPSW25、PC10等にセットされる。これによってPSW25のリング情報は通常処理のリング情報「3」から例外処理を行なうための特権リング「0」に変更される。

上記メモリ上の退避領域の退避情報は第5図に示す形式で、PSWを格納する旧PSW50、割込・例外の種類により夫々異なるフォーマットを示すフォーマット情報51、PCを格納する旧PC52の基本退避情報と、例外の原因となった命令のPC53、メモリアクセスに関する例外のアクセス情報54、例外となったメモリアクセスのアドレス55、例外となったメモリの書込みデー

タ56の拡張退避情報とよりなる。この拡張退避情報は割込・例外のフォーマットによって追加される情報である。

このうちメモリアクセスに関する例外のアクセス情報54はメモリアクセス関連例外の場合第6図に示す構成であり、アクセス時のリング情報(ACCRING)60、アドレス変換を行なわないことを示すコード(PA)61、リード・ライトの方向を示すコード(RW)62、書き込みの再実行を指示するコード(WR: Write Retry)63、オペランドサイズ(SIZE)64、エラーに関する詳細な原因コード等のエラー情報(ERROR INFORMATION)65が含まれている。

第4図に示す如く、不当アドレス分岐の例外受付処理の実行中の時刻 t_1 でメモリ書き込みによる例外が検出されると、不当アドレス分岐の例外受付処理が終了した直後の時刻 t_2 からメモリ書き込みの例外受付処理が開始される。

このメモリ書き込みの例外受付処理ではその例外

処理に復帰する命令の実行により復帰シーケンスが起動される。復帰シーケンスでは第5図の退避領域から旧PSW50、旧PC52をPSW25、PC10夫々に復帰させ、かつ拡張退避情報をストアバッファ26等に復帰させる。

これによって時刻 t_2 からPC10の指示する不当アドレス分岐例外処理プログラムが実行されると共に、ストアバッファ26の情報によるメモリの書き込みの再実行が行なわれる。このとき、メモリ書き込みのリング情報はPSW25のリング情報の値「0」とは無関係に退避領域からストアバッファ26に復帰されたリング情報40の値「3」である。従って時刻 t_2 、 t_3 間の例外処理でエラー原因が解決されてさえいれば書き込み実行は正しく終了し、誤ってメモリ内容を破壊する恐れはまったくない。また再び例外が検出されてもストアバッファ26のリング情報40に持つリング情報は初めて書き込みを行なった時のリング情報であるため何度でも書き込み再実行を行なうことができる。

処理要求が発生した時点でのPSW即ち時刻 t_2 のPSW25の値と、例外処理後復帰すべきアドレス即ち不当アドレス分岐例外処理プログラムの先頭命令のアドレス即ち時刻 t_2 のPC10の値と、例外の原因となった命令のアドレス#Aと、ストアバッファ26よりの書き込み処理シーケンス起動時のリング情報40、コード41、オペランドサイズ42、オペランドアドレス43、書き込みデータ45とを外部メモリの退避領域に格納し、この後メモリ上の所定の領域から読出したメモリ書き込みの例外処理用のPSW、PCをPSW25、PC10にセットする。ここで旧PSW50には不当アドレス分岐の例外受付処理による特権リング「0」が退避されるが、メモリアクセスに関する例外のアクセス情報54内のリング情報60にはストアバッファ26のリング情報40に保持されていた通常のリングの値「3」が退避される。

時刻 t_2 で上記例外受付処理が終了すると、PC10の示すアドレスからメモリ書き込みの例外処理プログラムが実行され、その最後で中断された

また、分岐アドレス例外処理プログラムの最後で中断された処理に復帰する命令が実行されて分岐先のアドレス#Cの命令の実行に移行したり、場合によってはアボートする。

このように、ストアバッファ26にアクセス時のリング情報40を設け、オペランドアドレス及び書き込みデータのセットと共にPSW25のリング情報30あるいは書き込み再実行の場合退避情報のリング情報60が上記リング情報40にセットされるため、ストアバッファ26を用いた書き込みの実行中であっても後続命令の処理又は後続命令の処理に起因する割込・例外処理を行なうために自由にPSW25のリング情報を変更でき、割込・例外処理の優先順位に関する制限がなくなり、ストアバッファを用いた書き込みの終了を待つことなく後続命令の処理を行なうことができ処理速度が向上する。

(発明の効果)

上述の如く、本発明のマイクロプロセッサによ

れば、処理速度が向上し、割込・例外処理をその優先順位に従って制限なく行なうことができ、実用上きわめて有用である。

4. 図面の簡単な説明

第1図は本発明のマイクロプロセッサのブロック図、

第2図はPSWを示す図、

第3図はストアバッファの各語の情報を示す図、

第4図は本発明のマイクロプロセッサの動作シーケンスを示す図、

第5図は追進情報の形式を示す図、

第6図はメモリアクセスに関する例外のアクセス情報を示す図である。

図において、

11はメモリ管理装置(MMU)、

19はマイクロプログラム、

22はメモリアクセス制御回路、

23は割込・例外制御回路、

26はストアバッファ、

30、60、40はリング情報、

43、44はオペランドアドレス、

45は割込みデータ、

54はアクセス情報

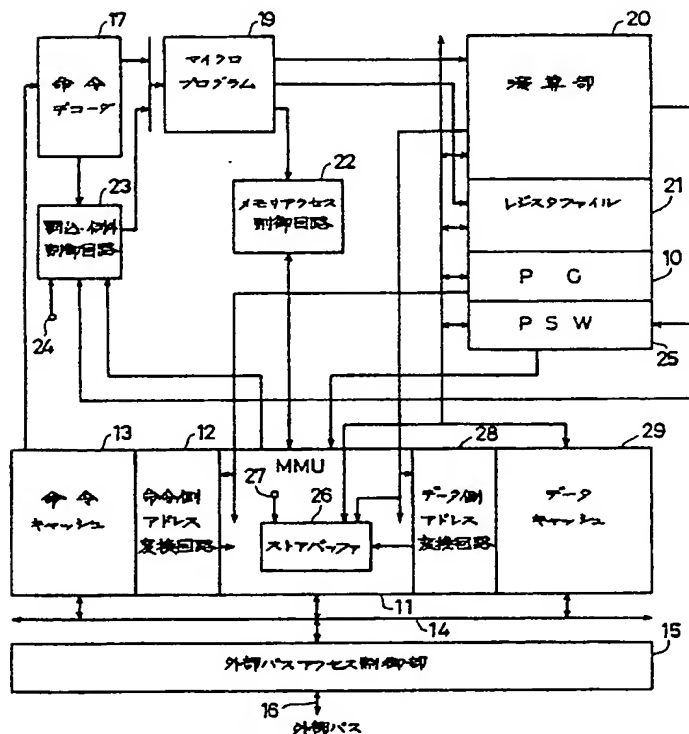
を示す。

特許出願人 富士通株式会社

代理人 弁理士 伊東 忠彦

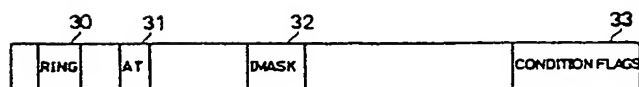
同 弁理士 松 浦 兼 行

同 弁理士 片 山 修 平



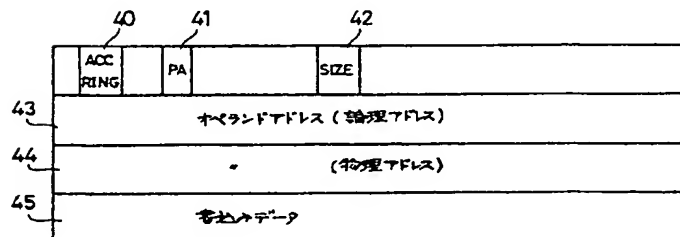
本発明のマイクロプロセッサのブロック図

第1図



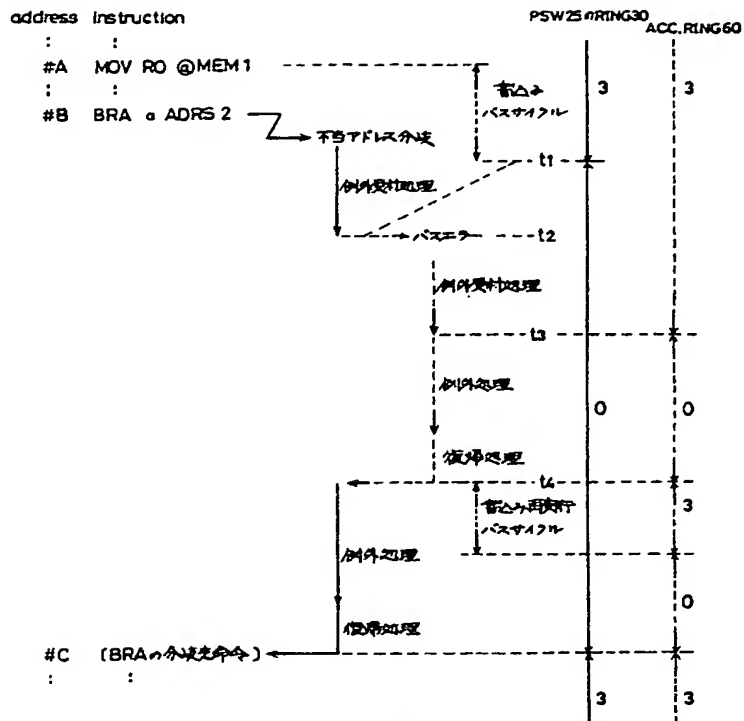
PSWを示す図

第2図



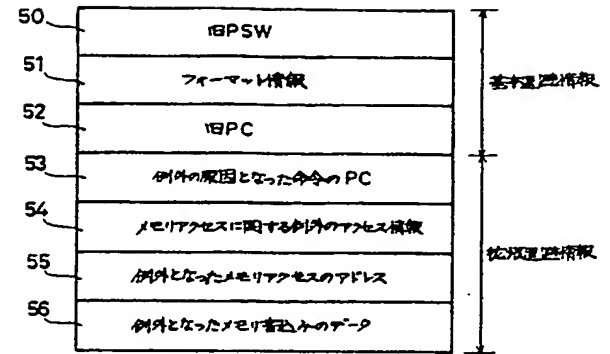
ストアバッファの各語の情報を示す図

第3図



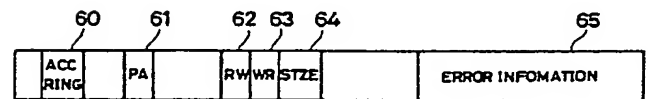
本発明のマイクロプロセッサの動作シーケンスを示す図

第 4 圖



選定情報の形式を示す図

第 5 圖



メモリアクセスに関する例外のアクセス情報も示す図

第 6 圖